

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 6 日 (06.10.2005)

PCT

(10) 国際公開番号
WO 2005/093834 A1

- (51) 国際特許分類⁷: H01L 25/065, 25/07, 25/18
- (21) 国際出願番号: PCT/JP2005/005544
- (22) 国際出願日: 2005 年 3 月 25 日 (25.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-089199 2004 年 3 月 25 日 (25.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田子 雅基 (TAGO, Masamoto) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 藤巻 正憲 (FUJIMAKI, Masanori); 〒1000011 東京都千代田区内幸町二丁目 2 番 2 号 富国生命ビル 5 階 Tokyo (JP).

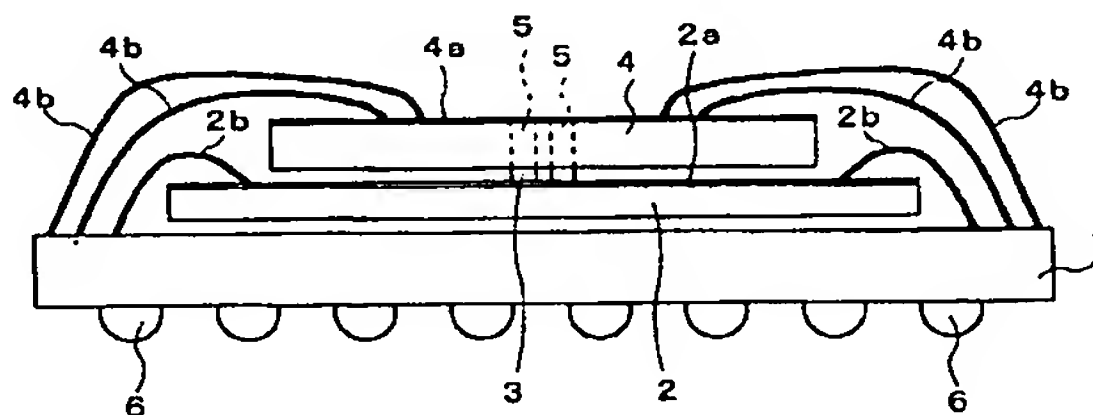
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: CHIP STACKING SEMICONDUCTOR DEVICE

(54) 発明の名称: チップ積層型半導体装置



(57) Abstract: A chip stacking semiconductor device which can be used without mounting a converter circuit and without altering the circuitry of the semiconductor chips even when semiconductor chips stacked in a plurality of stages are connected electrically. Through wiring (5) provided in the semiconductor chip (4) is supplied with power and the ground from thick film wiring through a bump (3). Power and the ground can thereby be supplied through a short passage to a desired position of the semiconductor chip (4) located above, and a problem that the wiring resistance increases because rewiring is not required is eliminated. Consequently, operational stability of the semiconductor device is enhanced.

[続葉有]

WO 2005/093834 A1



(57) 要約:

複数段に積層された半導体チップ同士を電氣的に接続しても、半導体チップの回路構成を変えることを要せず、またコンバータ回路の搭載も要せず
に使用することができるチップ積層型半導体装置を提供する。

半導体チップ(4)に設けられた貫通配線(5)が、バンプ(3)を介して厚膜配線から電源及びグランドの供給を受ける。上に位置する半導体チップ(4)の所望の箇所に電源及びグランドを短い経路で供給することが可能になるとともに、再配線が不要となるので配線抵抗が高くなるという問題が生じない。このため、半導体装置の動作安定性を高められる。